

Job Description

제목	Coherent interconnect (NoC), System-level Cache IP 설계
담당 부서	삼성전자 S.LSI 사업부 SOC 설계팀 IP 설계그룹
근무 장소	경기도 화성 DSR
업무개요	<ul style="list-style-type: none"> - NoC - Cache coherent interconnect RTL 설계, 검증 - System-level Cache – cache controller RTL 설계, 검증
담당업무	<ul style="list-style-type: none"> - Cache coherent interconnect IP 설계, 검증 <ul style="list-style-type: none"> . Coherence protocol 을 실제 micro-architecture level 에서 정의하고, interconnect IP 를 RTL 수준에서 설계하는 업무 . Coherence protocol 검증을 위한 엔진을 만들고, interconnect IP 의 정확도와 성능을 formal 방법으로 검증하는 업무 - System-level Cache IP 설계, 검증 <ul style="list-style-type: none"> . System-level 에서 동작하는 cache IP 를 micro-architecture level 에서 정의하고, RTL 수준에서 설계하는 업무
필요경력	<ul style="list-style-type: none"> - AMBA (AXI, ACE, CHI) protocol 지식 보유자 아래의 항목 중 하나의 항에 해당하는 인력 - NoC, cache controller 설계/검증 경력 (3 년 ↑) - CPU, GPU, MCU 설계/검증 경력 (3 년 ↑) - Computer architecture 관련 전공 및 실무 경험 (3 년 ↑)
우대사항	<ul style="list-style-type: none"> - Mobile SOC 개발 경력자 - High-performance CPU/GPU 에서 coherent interconnect 개발 경력자 - 전기/전자공학 디지털 설계/아키텍처 관련 석사학위 ↑ 보유자 - 컴퓨터공학 아키텍처/운영체제 관련 석사학위 ↑ 보유자 - 영어회화 OPIC IH ↑
개인성향	<ul style="list-style-type: none"> - 꼼꼼한 엔지니어링 스킬 - 적극적이며 책임감이 강한 인력 - Communication skills

Job Description

제목	High performance memory controller IP 설계
담당 부서	삼성전자 S.LSI 사업부 SOC 설계팀 IP 설계그룹
근무 장소	경기도 화성 DSR
업무개요	- Memory controller RTL 설계, 검증
담당업무	<ul style="list-style-type: none"> - Memory controller IP 설계, 검증 . Memory controller 의 pipeline 을 micro-architecture level 에서 정의하고, RTL 수준에서 설계하는 업무 . Memory controller 의 기능/성능/파워 검증을 UVM, formal 방법, 자체 벤치마크로 실험하여 검증하는 업무
필요경력	<ul style="list-style-type: none"> - AMBA (AXI, ACE, CHI) protocol 지식 보유자 아래의 항목 중 하나의 항에 해당하는 인력 - Memory controller 설계/검증 경력 (3 년 ↑) - CPU, GPU, MCU 설계/검증 경력 (3 년 ↑) - Computer architecture 관련 전공 및 실무 경험 (3 년 ↑)
우대사항	<ul style="list-style-type: none"> - Mobile SOC 개발 경력자 - JEDEC DRAM spec 에 익숙한 인력 - 전기/전자공학 디지털 설계/아키텍처 관련 석사학위 ↑ 보유자 - 컴퓨터공학 아키텍처/운영체제 관련 석사학위 ↑ 보유자 - 영어회화 OPIC IH ↑
개인성향	<ul style="list-style-type: none"> - 꼼꼼한 엔지니어링 스킬 - 적극적이며 책임감이 강한 인력

Job Description

제목	System IP (NoC/Cache/Memory controller) 성능구조 모델링
담당 부서	삼성전자 S.LSI 사업부 SOC 설계팀 IP 설계그룹
근무 장소	경기도 화성 DSR
업무개요	- System IP (NoC, Cache controller, memory controller) 의 성능 모델링과 subsystem architecture 탐색
담당업무	<ul style="list-style-type: none"> - Memory sub-system architecture 개발 및 성능 모델링 <ul style="list-style-type: none"> . Scalable NoC architecture 를 기획하고, 필요한 성능 요구조건을 정의하며, coherence protocol 의 deadlock, 병목현상을 회피할 방법 고안 및 모델링 . Cache controller 의 hit ratio/low power scheme/miss handler 를 향상시키는 방법 고안 및 모델링 . Memory controller 의 bandwidth utilization 을 올리는 방법과 latency 감소 방안 고안 및 모델링 . New memory 요구사항 도출 및 새로운 memory sub-system 실험
필요경력	<ul style="list-style-type: none"> - AMBA (AXI, ACE, CHI) protocol 지식 보유자 - Computer architecture 관련 전공 및 설계 등 실무 경험 (3 년 ↑)
우대사항	<ul style="list-style-type: none"> - Performance modeling 유경험자 - GEM5, SESC, DramSim2, SimpleScalar 등 simulator 유경험자 - 전기/전자공학 디지털 설계/아키텍처 관련 석사학위 ↑ 보유자 - 컴퓨터공학 아키텍처/운영체제 관련 석사학위 ↑ 보유자 - 영어회화 OPIC IH ↑ <ul style="list-style-type: none"> ※ English documentation & presentation 가능한 분
개인성향	<ul style="list-style-type: none"> - 꼼꼼한 엔지니어링 스킬 - Communication skills - 혁신 및 개선에 적극적인 성향